

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-152586

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H04L 9/00  
H04L 9/10  
H04L 9/12  
G06F 13/00  
H04L 12/28  
H04N 1/00

(21)Application number : 04-322783

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 07.11.1992

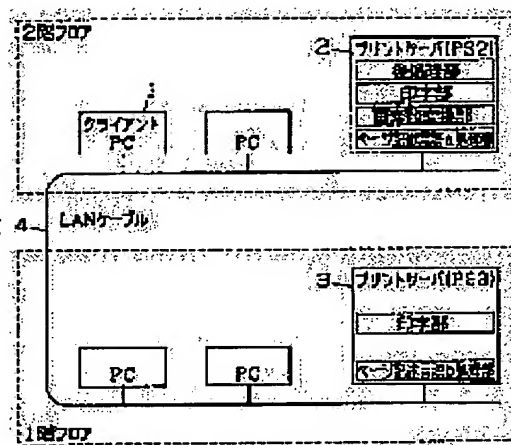
(72)Inventor : IWATA NOBUO

## (54) METHOD FOR PROCESSING NETWORK AND DEVICE THEREFOR

## (57)Abstract:

**PURPOSE:** To provide a method and device for processing network capable of performing effective data transmission and realizing strict security even when a 3rd processor is used as complementary to a 2nd processor.

**CONSTITUTION:** When a processing request is sent from a client PC1 to a print server 2, the print server 2 produces an authentication key which is only effective over the processing request. The produced authentication key is notified to a client PC 1 and to a print server 3. The client PC 1 sends the processing request through the print server 3 to the print server 2. The print server 3 collates the authentication key from the client PC 1 with the authentication key from the print server 2, performing the complementary processing of the print server 2 and sending the processing request to the print server 2.



## LEGAL STATUS

[Date of request for examination] 11.06.1999

[Date of sending the examiner's decision of rejection] 04.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3466217

[Date of registration] 29.08.2003

[Number of appeal against examiner's decision of rejection] 2003-03610

[Date of requesting appeal against examiner's] 06.03.2003

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-152856

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 1/028

H 0 1 L 27/14

H 0 4 N 5/335

識別記号

庁内整理番号

A 8721-5C

F I

技術表示箇所

7210-4M

H 0 1 L 27/ 14

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号

特願平4-321405

(22)出願日

平成4年(1992)11月6日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 野田 聡

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

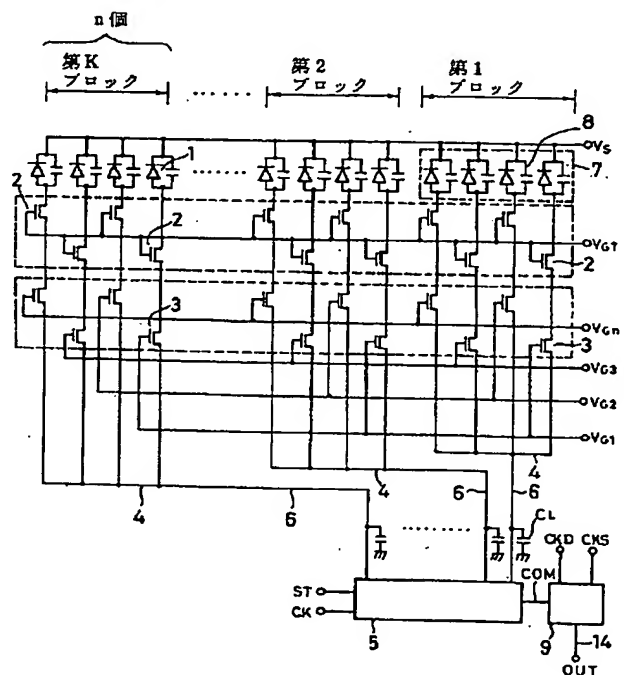
(74)代理人 弁理士 阪本 清孝 (外1名)

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 光電変換素子に発生した電荷を転送するための高密度の薄膜トランジスタを配置した固体撮像装置において、電気的な信号処理による補正のみでオフセットバラツキを少なくする。

【構成】 マトリックス駆動により信号を読み取る方式の固体撮像装置の光電変換素子アレイにおいて、同一の配線形状を有する光電変換素子1群を同一のゲート駆動線Gに接続し、該光電変換素子1の端部をダミー素子8とすることにより、ゲート単位で素子群のオフセット電位を代表値としてモニタし、検出回路5から時系列に出力されるダミー信号及び実信号をそれぞれ別個にサンプリングし、両者の信号の差動補償を行なうことにより配線形状で決まるゲート固有のオフセット電位のズレを補正して光電変換素子1で発生する正味の光信号に対応する出力を得る。



**【特許請求の範囲】**

【請求項1】  $n$ 個から成る光電変換素子を1ブロックとし $k$ 個のブロックをライン状に配列して成る光電変換素子アレイと、各光電変換素子に接続され光電変換素子に発生した電荷を転送するため千鳥状に高密度配置されたスイッチング素子と、該スイッチング素子を駆動するゲート駆動線と、前記電荷を一定時間蓄積する容量部と、前記蓄積電荷による各電位を検出し時系列信号として出力する検出回路とを具備する固体撮像装置において、端部ブロックを構成する各光電変換素子を光学的に遮光してダミー素子とし、各ブロックの光電変換素子に接続される前記スイッチング素子は、各ブロックにおける幾何学的位置が同じもの同士が共通となる $n$ 本のゲート駆動線にそれぞれ接続し、前記検出回路の後段にダミー素子と光電変換素子からの信号をそれぞれ別個にサンプリングし両者の信号の差動補償を行なう差動補償回路を設けたことを特徴とする固体撮像装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明はファクシミリや複写機等の画像入力装置に使用される固体撮像装置に係り、特に、ライン状に配列された光電変換素子を複数のブロックに分割し、マトリックス駆動により信号を読み取るための高密度配線が必要な高解像度固体撮像装置において、各素子に接続される配線容量の相違による基準電位の変動（オフセット）を補正するための構造に関する。

**【0002】**

【従来の技術】固体撮像装置は、原稿幅に略等しい長さの長尺状の密着型イメージセンサに原稿面からの反射光をロッドレンズアレイを介して入射させ、密着型イメージセンサを構成する各光電変換素子の光電変換により原稿の画像情報に対応する電気信号を検出する。従来、この種の固体撮像装置としては、各光電変換素子で発生した電荷を薄膜トランジスタ（TFT）によりブロック単位でマトリックス配線を用いて転送し、蓄積容量に電荷を一時保存した後に検出回路でブロック毎に時系列的に信号を読み出すことにより、1個の駆動用ICで1ラインの画像情報を読み取り可能として製造コストの軽減を図ることができるTFT駆動型イメージセンサが提案されている。

【0003】TFT駆動型イメージセンサは、例えば図5に示すように、原稿幅とほぼ同じ長さにわたり一定の密度で複数の光電変換素子Pを配列した光電変換素子アレイ50と、各光電変換素子Pに対して1:1に対応する複数の薄膜トランジスタ（TFT）Tから成る薄膜トランジスタアレイ51と、光電変換素子Pに発生した電荷の検出を行なう駆動用IC52と、前記各薄膜トランジスタTと駆動用IC52とをマトリックス接続する配線53とから構成されている。光電変換素子アレイ50は、 $n$ 個を1ブロックとして $k$ ブロック分の光電変

換素子Pから構成されている。各光電変換素子Pは薄膜トランジスタTのドレイン電極に接続され、ブロックを構成する $n$ 個の薄膜トランジスタTのソース電極側がそれぞれ信号検出のための駆動用IC52に接続されている。また、各薄膜トランジスタTのゲート電極は、ブロック毎にゲート駆動線G1~Gkに接続されている。

【0004】各光電変換素子Pはフォトダイオードであり、カソード側に正の電圧VBを印加することにより、逆バイアス状態としている。原稿面からの反射光が光電変換素子アレイ50に入射すると、蓄積期間中に光の入射によって内部発生した正孔・電子対は電荷として、光電変換素子Pの等価容量と薄膜トランジスタTのゲート、ドレイン間のオーバーラップ容量に蓄積された後、薄膜トランジスタTのゲート駆動線G1にパルスを印加し、ゲート駆動線G1により導通状態となる薄膜トランジスタ（T11~T1n）のドレイン側の電荷 $n$ ビット分を、配線が有する配線容量CLに転送する。そして、この蓄積電荷により駆動用IC52に接続される各共通信号線54の電位が変化し、この電位を駆動用IC52内のボルテージフォロワアンプで検出するとともに、アナログマルチプレクサによって時系列に共通線COMに出力する。以降同様にして、ゲート駆動線G2~GKを逐次ONすることにより前記動作を繰り返し、光電変換素子アレイ50を形成する $n \times k$ ビット分の信号を時系列的に読み取るものである。

**【0005】**

【発明が解決しようとする課題】上記TFT駆動型イメージセンサにおいて、画素密度が高密度になると薄膜トランジスタの集積度が高まり、スペースの関係から薄膜トランジスタTを図6に示したように、隣接素子間で千鳥状配置する必要が生じる。その結果、奇数素子、偶数素子間で各薄膜トランジスタTのソース側及びドレイン側の配線長が変化することによる配線容量が変化し、薄膜トランジスタTのフィールドスルー量が変動して基準電位（光電変換素子からの電荷に関係なく各素子の持つ寄生容量等で決る固定電位）、すなわちオフセットにズレが生じる。

【0006】すなわち、図7に示す1ビット分の等価回路を参照して説明すると、光電変換素子のフォトダイオードPDに発生した電荷は容量Cp及び容量Caに蓄積され、薄膜トランジスタTのゲートにゲート駆動線Gよりパルスを印加することにより容量CLに転送される。この時、薄膜トランジスタTがオフした瞬間に発生するフィールドスルーによってA点の電位はある電位まで下がる。この電位は配線容量と薄膜トランジスタTのゲートドレイン間オーバーラップ容量等の合成容量（容量Ca）の大きさで決まる。通常、フィールドスルー量のズレは、設計時に見積もっておき補正のための付加容量を設け、最終的に検出回路52の入力部でアンプのダイナミックレンジに入るように設計を行なっている。しか

し実際には、金属配線の幅等で決まる容量も多く含まれているため、製造時における金属配線パターンニング工程のバラツキに影響され易い。特に、薄膜トランジスタTの位置が素子毎に異なる場合（千鳥状配置）には、製造時の金属配線形成時におけるオーバーエッチング等により配線幅が設計より細くなった場合に容量C<sub>a</sub>が変化し、奇数素子と偶数素子とでフィールドスルーレベルに大きな差が生じてしまうという欠点があった。

【0007】また、CCD型固体撮像素子のように光電変換素子ラインの端部に光学的に遮光されたダミー素子を形成し、1ライン単位にオフセット補正を行なう構成が提案されている。しかしながら、上述したようなTFT型イメージセンサのように、千鳥状配列された薄膜トランジスタTによりブロック単位に信号を読み取る方式においては、隣接素子間で配線容量の相違によりオフセット電位が相違し、1ライン単位にオフセット補正を行なっても効果があまりない。

【0008】本発明は上記実情に鑑みてなされたもので、光電変換素子に発生した電荷を転送するための高密度の薄膜トランジスタを配置した固体撮像装置において、電気的な信号処理による補正のみでオフセットバラツキを少なくすることができる構造を提供することを目的としている。

【0009】

【課題を解決するための手段】上記従来例の問題点を解決するため本発明は、 $n$ 個から成る光電変換素子を1ブロックとし $k$ 個のブロックをライン状に配列して成る光電変換素子アレイと、各光電変換素子に接続され光電変換素子に発生した電荷を転送するため千鳥状に高密度配置されたスイッチング素子と、該スイッチング素子を駆動するゲート駆動線と、前記電荷を一定時間蓄積する容量部と、前記蓄積電荷による各電位を検出し時系列信号として出力する検出回路とを具備する固体撮像装置において、次の構成を特徴としている。端部ブロックを構成する各光電変換素子を光学的に遮光してダミー素子を形成する。各ブロックの光電変換素子に接続される前記スイッチング素子は、各ブロックにおける幾何学的位置が同じもの同士が共通となる $n$ 本のゲート駆動線にそれぞれ接続する。前記検出回路の後段にダミー素子と光電変換素子からの信号をそれぞれ別個にサンプリングし、両者の信号の差動補償を行なう差動補償回路を設ける。

【0010】

【作用】本発明によれば、各ブロックにおける幾何学的位置が同じ光電変換素子 $k$ 個を一つの群とし、各光電変換素子に発生する電荷による電気信号を $n$ 本のゲート駆動線により前記群毎に容量部に転送するようになっている。そして、端部ブロックの各光電変換素子は、千鳥状配列による配線形状の異なる偶数素子と奇数素子のそれぞれと同一形状で光学的に遮光されたダミー素子としてるので、前記転送によりダミー素子による信号を先頭

とする $k$ ビットの信号が順次読み取られる。すなわち、同一の配線形状を有する素子群を同一のゲート駆動線に接続することにより、ゲート単位で素子群のオフセット電位を代表値としてモニタできることになる。そして、検出回路から時系列に出力されるダミー信号及び実信号をそれぞれ別個にサンプリングし、両者の信号の差動補償を行なうことにより配線形状で決まるゲート固有のオフセット電位のズレを補正することができ、電気的な信号処理のみで光電変換素子で発生する正味の光信号に対応する出力を得ることができる。

【0011】

【実施例】本発明に係る固体撮像装置の一実施例について図1ないし図3を参照しながら説明する。図1は本発明の一実施例に係るTFT駆動型イメージセンサの等価回路であり、 $n$ ビット（実施例では4ビット）を1ブロックとする光電変換素子1がライン状に $k$ ブロック配列されている。各光電変換素子1は1:1に対応し千鳥状に配列されるライン転送用スイッチング素子2のドレイン電極に接続され、このライン転送用スイッチング素子2のゲート電極は共通のゲート駆動線V<sub>GT</sub>に接続することにより、各光電変換素子1に発生した電荷を1ライン単位で転送するように構成されている。

【0012】また、各ライン転送用スイッチング素子2のソース電極は、1:1に対応し千鳥状に配列されるマトリクス駆動用スイッチング素子3のドレイン電極に接続されている。このマトリクス駆動用スイッチング素子3は、 $n$ 本のゲート駆動線V<sub>G1</sub>～V<sub>Gn</sub>のうち、各ブロックにおける幾何学的位置が同じマトリクス駆動用スイッチング素子3同士のゲート電極がそれぞれ共通のゲート駆動線V<sub>Gn</sub>に接続するように構成されている。各マトリクス駆動用スイッチング素子3のソース電極はブロック毎にブロック共通線4に接続され、各ブロック共通線4は、駆動用IC5に接続される共通信号線6にそれぞれ接続されている。

【0013】各光電変換素子1は、例えば、クロムから成り画素毎に離散的に形成された複数の方形の金属電極、水素化アモルファスシリコンから成り帯状に形成された光電変換層、酸化インジウム・スズ等から成り前記金属電極を被覆する透明電極を絶縁性基板上に順次積層及びパターンニングした薄膜サンドイッチ構造のフォトダイオードで形成されている。また、フォトダイオードのカソード側は、正の電圧V<sub>B</sub>が印加されて逆バイアス状態となっている。

【0014】端部ブロック（第1ブロック）を構成する各光電変換素子は、その受光部を絶縁膜を介してアルミニウム、クロム等の金属膜で形成された帯状の遮光膜7で遮光され、原稿面からの光が入射しないダミー素子8を形成している。各ダミー素子8は、上述したように、各ブロックの光電変換素子1と同様にライン転送用スイッチング素子2及びマトリクス駆動用スイッチング素

子3に接続されている。そして、ライン転送用スイッチング素子2のゲート電極には全画素共通のゲート駆動線VGTを接続し、また、同一の配線形状を有する各マトリックス駆動用スイッチング素子3のゲート電極同士は、ゲート駆動線VG1~VGnにそれぞれ接続されている。具体的には、図1において、1番目のダミー素子にゲート駆動線VG1を、2番目のダミー素子8にゲート駆動線VG2をそれぞれ接続している。従って、ゲート駆動線VG1~VGnを逐次駆動させた場合において、各配線が有する容量部CLには、常にゲート単位で同一形状の素子から発生するオフセット電位が発生する。

【0015】駆動用IC5は、nビットの入力部、ボルテージフォロワンプ、ゲインアンプと、アナログマルチプレクサ等で構成されており、スタートパルス信号ST及びクロック信号CKが入力することにより、前記容量部CLに蓄積された電荷による電位を時系列的に検出する。また、駆動用IC5の出力端子COMは差動補償回路9に入力され、オフセット電位の補正を行なう。

【0016】差動補償回路9の回路構成について図2を参照しながら説明する。差動補償回路9は、電流増幅用アンプ10と、該アンプ10の出力を2系統に分割しその一方に接続されたサンプルホールド回路11、前記電流増幅用アンプ10の出力の他の系統に接続されたサンプルホールド回路12と、各サンプルホールド回路11、12の出力を入力とする差動増幅用アンプ13とから構成されている。各サンプルホールド回路11、12は、電荷蓄積用コンデンサCとサンプリングパルスCKSまたはサンプリングパルスCKDにより導通状態となるトランジスタTから構成され、COM端子から入力され前記電流増幅用アンプ10でバッファされたアナログ信号を、ダミー信号と実信号とにそれぞれ並列にサンプリングする。すなわち、サンプルホールド回路11においては、光電変換素子1の駆動時に対応して「Hレベル」となるサンプリングパルスCKSにより光電変換素子1からの実信号を保持する。また、サンプルホールド回路12においては、ダミー素子8の駆動時に対応してブロック毎に「Hレベル」となるサンプリングパルスCKDによりダミー素子8からのダミー信号（暗出力信号）を保持する。差動増幅用アンプ13は、サンプルホールド回路11、12から出力される電圧値の差を出力する。

【0017】次に上記固体撮像装置の原稿読み取り動作について、図2及び図3の画素分の等価回路図及び図4のタイミングチャートを参照しながら説明する。光電変換素子1には上方より原稿面からの反射光が入射する。ダミー素子8は遮光膜7が形成されているので反射光は入射しない。反射光により発生した電荷が光電変換素子1の等価容量Cp及び配線容量Caに蓄積された後、ゲート駆動線VGTにパルスを印加することにより転送用スイッチング素子2が導通状態となり、光電変換素

子アレイを構成する全ビットの信号をそれぞれ配線容量Cbに一括して転送する。次にゲート駆動線VG1にパルスを印加することによりマトリックス駆動用スイッチング素子3が導通状態となり、各ブロックにおいて幾何学的位置が同じ光電変換素子1に対応するビットの信号を、それぞれ配線容量Ccに転送する。尚、トランジスタRSTは、転送用スイッチング素子2による一括転送した後に、光電変換素子1の等価容量Cp及び配線容量Caに残留する電荷をリセットするためのスイッチである。

【0018】駆動用IC（検出回路）5はスタートパルスSTにより動作し、前記配線容量Ccに転送された電荷による共通信号線6の電位変動によるアナログ信号を時系列的に出力線COMに出力する。従って、出力線COMに出力されるアナログ信号は、ダミー素子8から得られたオフセット信号を先頭に、光電変換素子1から得られた(k-1)個の信号（オフセット信号+実信号）が含まれている。前記kビット分のアナログ信号は、差動補償回路9において、ダミーサンプリングパルスCKDによって先頭のダミー信号をクランプし、ダミーサンプリングパルスCKDの立ち下がり以降、前記クランプしたオフセット電位を差動増幅用アンプ13の+入力に与え続ける。すなわち、ダミー信号に対応する電流をコンデンサCに流し、オフセット電圧として保持する。

【0019】一方、2ビット目以降の信号（オフセット信号+実信号）は、実信号サンプリングパルスCKSによって1ビット毎にコンデンサCにクランプされ、前記実信号サンプリングパルスCKSのパルスの立ち下がり毎に信号（オフセット信号+実信号）の電位を差動増幅用アンプ13の-入力に与える。差動増幅用アンプ13では、各コンデンサCからの電圧を入力し、両電圧の差を出力することにより信号（オフセット信号+実信号）からオフセット信号成分が差引かれた正味の光信号に対応する信号成分を出力端子OUTから出力する。以上の動作をゲート駆動線VG2~VGnまで繰り返して行なうことにより、光電変換素子アレイの1ラインに対応する(k-1)×nビット分のライン時系列信号OUTを出力端子14より得ることができる。

【0020】本実施例によれば、マトリックス駆動用スイッチング素子3を用いてマトリックス駆動を行なう際に、光電変換素子1に生じる電荷をブロック毎に共通信号線に転送するのではなく、各ブロックにおける幾何学的位置が同じである1個のダミー素子8及び(k-1)個の光電変換素子1を一群としてこれらの素子に生じる電荷を転送するようにしたので、隣接するビット毎に配線容量CLが異なる場合においても各ビットに対応するオフセット電圧を各ダミー素子8で検出することができる。

【0021】特に実施例に示したような一括転送方式のTFTイメージセンサにおいては、転送用スイッチング

素子2が必要であり、この転送用スイッチング素子2は高密度に配置しなければならず、且つ各ビットの配線長は長くなってしまふ。例えば図1に示すように、転送用スイッチング素子2及びマトリックス駆動用スイッチング素子3をそれぞれ千鳥状に配置した場合、製造時の金属配線形成時におけるオーバーエッチング等により設計より配線幅が細くなった場合、図3に示す配線容量Ca及び配線容量Cbの変化により偶数素子と奇数素子においてフィールドスルーレベルに差が生じてしまふ。

【0022】すなわち、例えば配線容量Caを構成する金属配線幅が設計の9ミクロンに対して0.5ミクロン細くなった場合、偶数素子と奇数素子において配線長の差があるとすると（偶数素子の方が長いとする）、約5%程度容量が減少する。ここで転送用スイッチング素子のフィールドスルーが設計で1500mVであるとする、前記容量変動により偶数素子のA点電位は $1500 \times 0.05 = 75\text{mV}$ だけ上昇し、その分奇数素子との間にオフセット電位差を持つことになる。また、それぞれ中間容量Ca, Cb, Ccの比を1:1:10とすると、A点で生じた75mVのオフセット差はC点で約7.5mVとなる。一方、光電変換素子1が水素化アモルファスシリコンフォトダイオード等で構成される場合、発生電荷量は一定時間蓄積を行なっても1pC以下と微小でかつTFT転送による容量分割比で減衰しているため、駆動用IC（検出回路）5には通常100倍程度の電圧増幅機能を持たせている。そうすると、C点で約7.5mVあるオフセット差は750mV程の出力差となって出力端子COMに現れることになる。

【0023】イメージセンサのアナログ出力は、普通ダイナミックレンジ1V程度のA/V変換器を用いて処理されるので、この場合にはその3/4をオフセット差で失ってしまい事実上画像読み取りが不可能となる。すなわち、実施例に示した一括転送方式のマトリックス駆動型のTFTイメージセンサの構成において、400SP1（1インチ当り400素子の密度）や600SP1等の高解像度センサを作製した場合、イメージセンサ製造時における金属配線幅がオーバーエッチングによって0.5ミクロン細くなるだけで、ダイナミックレンジの低下という大きな問題を引き起こすことになる。本実施例によれば、一括転送方式のマトリックス駆動型のTFTイメージセンサにおいても、各ビットに生じるオフセット差を電気的な信号処理により補正することができる。

【0024】また、図1の従来例で示したTFT駆動型イメージセンサによれば、ブロック毎に電荷を転送して読み出すためにブロック毎に蓄積時間のずれが生じる。

原稿面側は原稿送り手段等により副走査方向に常時移動しているため、前記蓄積時間のずれにより副走査方向における読み取り位置のずれが生じ、特に高解像度のセンサの場合には画質の劣化を招くという問題点がある。本実施例による一括転送方式のマトリックス駆動型のTFTイメージセンサによれば、光電変換素子アレイに生じた電荷を一括転送し、それらを複数に分けて読み取るようにしたので、1ラインにおける蓄積時間は各光電変換素子で同じであり、読み取り位置のずれが生じることを防止して画質の向上を図ることができる。

【0025】

【発明の効果】本発明によれば、同一の配線形状を有する光電変換素子群を同一のゲート駆動線に接続し、該光電変換素子の端部をダミー素子とすることにより、ゲート単位で素子群のオフセット電位を代表値としてモニタし、検出回路から時系列に出力されるダミー信号及び実信号をそれぞれ別個にサンプリングし、両者の信号の差動補償を行なうことにより配線形状で決まるゲート固有のオフセット電位のズレを補正することができる。

【0026】従って、光電変換素子とスイッチング素子とで構成される配線形状の素子間における相違からゲート間で生じるオフセット出力差をゲート単位で電気的に補正することができ、高密度配線が必要な高解像度イメージセンサにおいてもオフセットのバラツキが少なく広いダイナミックレンジを有する固体撮像装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明の固体撮像装置の一実施例を示す等価回路図である。

【図2】 図1の差動補償回路の構成を示す等価回路図である。

【図3】 固体撮像装置の1ビットを示す等価回路図である。

【図4】 固体撮像装置の読み取り動作を説明するためのタイミングチャート図である。

【図5】 従来のマトリックス駆動型の固体撮像装置の等価回路図である。

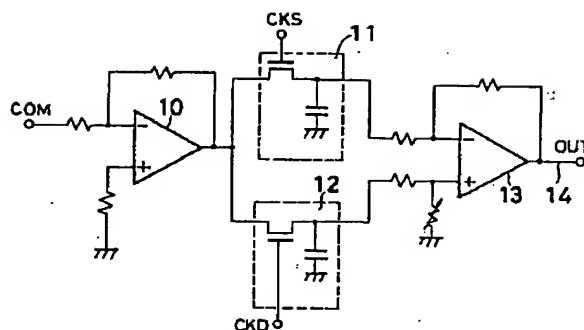
【図6】 薄膜トランジスタアレイの各トランジスタを千鳥状に配置した場合の等価回路図である。

【図7】 従来の固体撮像装置の1ビットを示す等価回路図である。

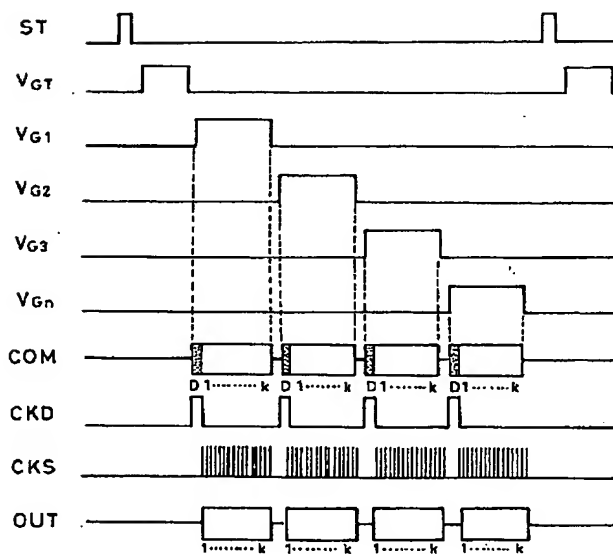
【符号の説明】

1…光電変換素子、 2…転送用スイッチング素子、  
3…マトリックス駆動用スイッチング素子、 5…駆動用IC、 6…共通信号線、 7…遮光膜、 8…ダミー素子、 9…差動補償回路

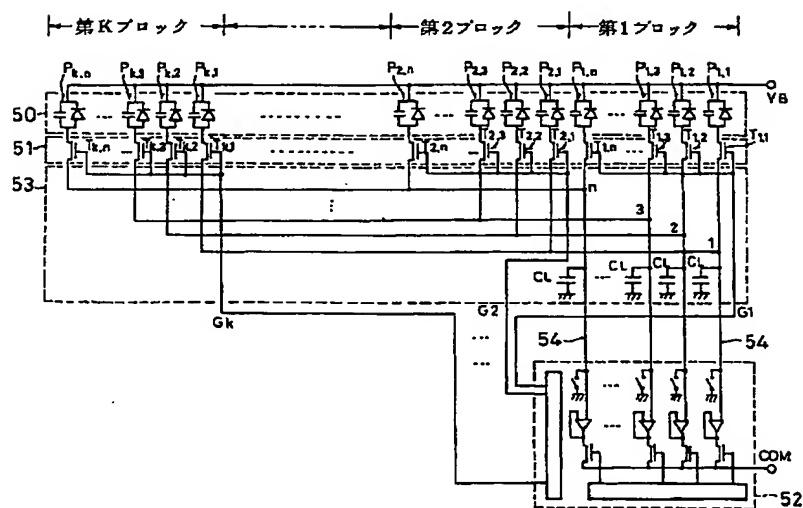
【图 2】



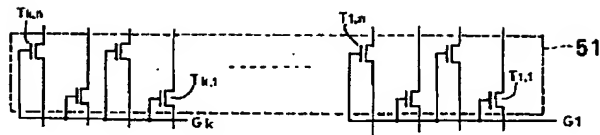
【図 4】



【図 5】



【図6】



【図7】

